

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-215162

(43)公開日 平成11年(1999)8月6日

(51)Int.Cl.<sup>6</sup>

H 0 4 L 12/40

H 0 3 K 19/0175

H 0 4 L 5/00

識別記号

F I

H 0 4 L 11/00

3 2 0

5/00

H 0 3 K 19/00

1 0 1 S

審査請求 未請求 請求項の数5 OL (全10頁)

(21)出願番号

特願平10-11743

(22)出願日

平成10年(1998)1月23日

(71)出願人 391051588

富士フィルムマイクロデバイス株式会社  
宮城県黒川郡大和町松坂平1丁目6番地

(71)出願人 000005201

富士写真フィルム株式会社  
神奈川県南足柄市中沼210番地

(72)発明者 豊崎 裕一

宮城県黒川郡大和町松坂平1丁目6番地  
富士フィルムマイクロデバイス株式会社内

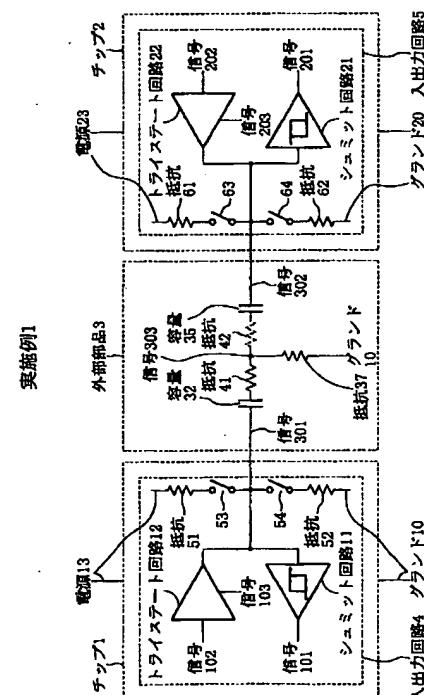
(74)代理人 弁理士 高橋 敬四郎 (外1名)

(54)【発明の名称】 IEEE1394インタフェース用半導体チップ

(57)【要約】

【課題】 安価及び小型のIEEE1394規格デジタルシリアル通信用インターフェースを構成するための半導体チップを提供することを課題とする。

【解決手段】 外部から信号を入力し、入出力特性にヒステリシス特性を有するシュミット回路(11)と、電源ライン(13、10)を抵抗分割した電位をシュミット回路に入力するために、シュミット回路の入力端子と電源ラインとの間に接続される抵抗(51、52)とを有する。



## 【特許請求の範囲】

【請求項1】外部から信号を入力し、入出力特性にヒステリシス特性を有するシュミット回路と、電源ラインを抵抗分割した電位を前記シュミット回路に入力するために、前記シュミット回路の入力端子と電源ラインとの間に接続される抵抗とを有するIEEE1394インターフェース用半導体チップ。

【請求項2】さらに、出力端子が前記シュミット回路の入力端子に接続され、2つの電圧状態とハイインピーダンス状態との3状態を有するトライステート回路を有する請求項1記載のIEEE1394インターフェース用半導体チップ。

【請求項3】さらに、前記抵抗を電源ラインから切り離すことができるスイッチを有する請求項1又は2記載のIEEE1394インターフェース用半導体チップ。

【請求項4】前記スイッチは、IEEE1394規格の物理層とリンク層とをDC接続することを示す信号が供給されたときに、前記抵抗を電源ラインから切り離す請求項3記載のIEEE1394インターフェース用半導体チップ。

【請求項5】前記スイッチは、前記信号を制御信号とするMOSトランジスタである請求項4記載のIEEE1394インターフェース用半導体チップ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、IEEE1394規格のデジタルシリアル通信に関し、特にIEEE1394インターフェース用半導体チップに関する。

## 【0002】

【従来の技術】図2は、IEEE1394規格の通信ネットワークの構成を示す。

【0003】通信ネットワークは、複数のノードを通信ケーブル503で接続することにより構成される。1つのノードは、通信インターフェース回路(IEEE1394インターフェース回路)501とデバイス502を含む。デバイス502は、例えばビデオ機器やオーディオ機器やコンピュータ等である。

【0004】通信インターフェース回路501は、物理層半導体チップ(以下、物理層チップという)1とリンク層半導体チップ(以下、リンク層チップという)2と外部部品3を有する。物理層チップ1は、通信ケーブル503と直接信号の授受を行う層であり、リンク層チップ2はデバイス502と直接信号の授受を行う層である。通信インターフェース回路501は、物理層チップ1とリンク層チップ2のセットで構成される。

【0005】通信ケーブル503は、信号ラインの他、電源ラインを有する。物理層チップ1は、通信ケーブル503から電源の供給を受ける。一方、リンク層チップ2は、デバイス502から電源の供給を受ける。したがって、物理層チップ1の電源電位とリンク層チップ2の

電源電位は異なる場合がある。

【0006】本来であれば、リンク層チップ2だけでなく物理層チップ1についても、デバイス502から電源の供給を受けることが望ましい。そのようにすれば、通信インターフェース回路501を物理層チップ1とリンク層チップ2との2つに分ける必要はなく、通信インターフェース回路501を1つの半導体チップで構成することができる。

【0007】しかし、その場合、デバイス502の電源を切ると、通信インターフェース回路501に電源が供給されなくなり、通信インターフェース回路501が動作しなくなる。

【0008】IEEE1394の通信ネットワークは、チェイン状にノードが接続されており、接続されているノードのうちの1つの通信インターフェース回路501が動作しないと、他のノードに通信データを伝えることができなくなってしまうという不都合がある。

【0009】そのため、通信インターフェース回路501は、物理層チップ1とリンク層チップ2に分離されている。物理層チップ1は、通信ケーブル503から電源の供給を受けるので、デバイス502の電源を切っても動作する。物理層チップ1が動作していれば、通信ネットワークは他のノードに通信データを伝えることができる。リンク層チップ2は、デバイス502の電源を切ると動作しない。

【0010】物理層チップ1とリンク層チップ2は電源供給源が異なるので、それぞれの電源電位が異なることも十分に考えられる。そのような場合に対処するため、IEEE1394規格では、物理層チップ1とリンク層チップ2との接続方法を2種類規定している。第1はDC(直流)接続であり、第2はAC(交流)接続である。信号DIRECTは、1のときにDC接続を意味し、0のときにAC接続を意味するものであり、物理層チップ1とリンク層チップ2の両方に供給される。

【0011】AC接続の場合、外部部品3をアイソレーションバリアとして、物理層チップ1とリンク層チップ2との間に接続する。外部部品3は、直流成分を除去し、交流成分(信号の変化成分)のみを物理層チップ1又はリンク層チップ2に伝える。AC接続すれば、物理層チップ1とリンク層チップ2の電源電位が異なる場合であっても、両チップ間で信号を伝達することができる。

【0012】また、物理層チップ1に電源が供給され、リンク層チップ2に電源が供給されていなくても、外部部品3を設けることにより物理層チップ1とリンク層チップ2がACカップリングされているので、DC的に絶縁され、物理層チップ1は悪影響を受けない。

【0013】物理層チップ1は入出力回路4を有し、リンク層チップ2は入出力回路5を有する。入出力回路4と5の間には、外部部品3を介して、8ビット(8本)

のデータ線D、2ビット（2本）の制御線CTL、1本のリクエスト信号線LREQ、1本のクロック線SCLKが接続される。

【0014】データ線Dは、送受信用のデータを伝達する線であり、通信速度が400Mbps（bps）のときには8本であり、通信速度が200Mbps、100Mbpsのときにはそれぞれ4本、2本である。制御線CTLは、送受信等を指示するための制御線である。リクエスト信号線LREQは、送信要求をするための線である。クロック線SCLKは、50MHzのクロック信号を伝達するための線である。

【0015】上記のデータ線D、制御線CTL、及びリクエスト信号線LREQは、双方向信号線である。クロック線SCLKは、物理層チップ1からリンク層チップ2への単方向信号線である。

【0016】双方向信号線は、8本のデータ線D、2本の制御線CTL、1本のリクエスト信号線LREQを含む11本である。単方向信号線は、1本のクロック信号線SCLKである。

【0017】入出力回路4、5及び外部部品3は、上記の12本の線毎に別々に設けられており、双方向信号線のものと単方向信号線のものとは回路構成が異なる。図3に、1本の双方向信号線のための具体的回路を示し、図6に、1本の単方向信号線のための具体的回路を示す。双方向信号線が11本あるので、図3の回路が11個並列に設けられ、単方向信号線が1本あるので、図6の回路がさらに1個設けられる。

【0018】なお、物理層チップ1とリンク層チップ2とをDC接続する場合には、外部部品3が除去され、物理層チップ1とリンク層チップ2とがダイレクトに接続される。

【0019】図3は、従来技術による双方向信号伝達回路の構成図である。信号伝達回路は、物理層チップ1とリンク層チップ2との間で双方向の信号伝達を行う。

【0020】物理層チップ1は、入出力回路4を有し、電源13およびグランド10に接続される。入出力回路4は、リンク層チップ2へ信号を出力するためのトライステート回路12と、リンク層チップ2から信号を入力するためのシュミット回路11を有する。

【0021】リンク層チップ2は、物理層チップ1と同様の構成であり、入出力回路5を有する。入出力回路5は、物理層チップ1へ信号を出力するためのトライステート回路22と、物理層チップ1から信号を入力するためのシュミット回路21を有する。リンク層チップ2には、電源23およびグランド20が接続される。

【0022】リンク層チップ2に接続される電源23とグランド20は、それぞれ物理層チップ1に接続される電源13とグランド10とは別系統のラインであり、電気的に絶縁されている。つまり、電源13とグランド10の電位差、および電源23とグランド20の電位差が

同じ（例えば5V）であったとしても、グランド10の電位とグランド20の電位がずれていることも考えられる。グランド10の電位とグランド20の電位が異なれば、電源13の電位と電源23の電位も異なる。すなわち、物理層チップ1の動作電位とリンク層チップ2の動作電位が異なる。

【0023】物理層チップ1とリンク層チップ2の動作電位が同じであれば、物理層チップ1とリンク層チップ2をダイレクトに接続し、信号を伝達することができる。物理層チップ1とリンク層チップ2の動作電位が異なる場合には、外部部品3を介して物理層チップ1とリンク層チップ2を接続することにより、信号を伝達することができる。1つの回路基盤上に、物理層チップ1とリンク層チップ2と外部部品3が配設される。

【0024】物理層チップ1の入出力回路4内において、トライステート回路12の出力信号線とシュミット回路11の入力信号線が、物理層チップ1の入出力信号線（例えば、図2に示すデータ線D）に接続される。リンク層チップ2の入出力回路5内において、トライステート回路22の出力信号線とシュミット回路21の入力信号線が、リンク層チップ2の入出力信号線（例えば、データ線D）に接続される。

【0025】外部部品3は、物理層チップ1の電源ラインを抵抗分割するための抵抗33及び31と、リンク層チップ2の電源ラインを抵抗分割するための抵抗36及び34と、物理層チップ1とリンク層チップ2のそれぞれの入出力信号線を結ぶ抵抗41及び容量32の第1の直列接続並びに抵抗42及び容量35の第2の直列接続と、当該第1及び第2の直列接続の相互接続点（抵抗41と42の相互接続点）とグランド10を結ぶ抵抗37を有する。グランド10は、物理層チップ1に接続されるものと同じである。

【0026】なお、物理層チップ1とリンク層チップ2の電源電圧に差がある場合は、抵抗41と42のいずれかを設ければよい。例えば物理層チップ1の電源電圧が5V、リンク層チップ2の電源電圧が3Vの場合は、抵抗42を除去し、抵抗41を残せばよい。両チップ1、2の電源電圧が同じ場合は、抵抗41と42の両方を除去してよい。

【0027】物理層チップ1とリンク層チップ2との間では、双方向の信号伝達が可能である。物理層チップ1からリンク層チップ2に信号を伝達するには、物理層チップ1のトライステート回路12が信号を出し、当該信号をリンク層チップ2のシュミット回路11が入力する。

【0028】逆に、リンク層チップ2から物理層チップ1に信号を伝達するには、リンク層チップ2のトライステート回路22が信号を出し、当該信号を物理層チップ1のシュミット回路11が入力する。

【0029】両方向の信号伝達は、お互いに同様の動作

を行う。以下、物理層チップ1からリンク層チップ2へ信号を伝達する場合を例に説明する。

【0030】図4は、図3の回路動作を説明するための信号波形である。物理層チップ1中のトライステート回路12は、信号102を入力し、信号103の制御の下、3状態（3値論理）を有する信号301を出力する。トライステート回路12の動作を説明する。

【0031】入力信号102と制御信号103は、ハイレベルVH1とローレベルVL1の2状態（2値論理）を有する。出力信号301は、ハイレベルVH1、中間レベルVI1およびローレベルVL1の3状態（3値論理）を有する。ハイレベルVH1は、電源13の電位であり、ローレベルVL1はグランド10の電位である。中間レベルVI1は抵抗33と31により抵抗分割される電位であり、VH1とVL1の間の中間電位である。

【0032】トライステート回路12は、制御信号103がローレベルVL1のとき、入力信号102をそのまま出力信号301として出力し、制御信号103がハイレベルVH1のとき、トライステート回路12の出力をハイインピーダンス状態とし、出力信号301を入力信号102とは無関係に中間レベルVI1にする。

【0033】信号303は、抵抗41と42の接続点の電位であり、抵抗37を介してグランド10にプルダウンされている。信号303は、信号301の直流レベルを変移させた信号である。信号303の3状態VH3、VI3、VL3は、それぞれ信号301の3状態VH1、VI1、VL1に相当する。ただし、直流バイアス値が異なる。

【0034】中間レベルVI3は、グランド10の電位である。グランド10の電位に対し、ハイレベルVH3は正電位であり、ローレベルVL3は負電位である。VH3とVL3の電位差は、VH1とVL1の電位差と同じである。信号303と301は、相対的電位は同じであるが、絶対電位が異なる。

【0035】信号302は、リンク層チップ2内のシュミット回路21に入力される信号である。信号302は、信号303の直流レベルを変移させた信号である。信号302の3状態VH2、VI2、VL2は、それぞれ信号303の3状態VH3、VI3、VL3に相当する。ただし、直流バイアス値が異なる。

【0036】ハイレベルVH2は、電源23の電位であり、ローレベルVL2はグランド20の電位である。中間レベルVI2は、抵抗36と34により抵抗分割される電位であり、VH2とVL2の間の中間電位である。

【0037】次に、図3のシュミット回路21の動作を説明する。図5（A）は、シュミット回路21の入出力特性を示すグラフである。シュミット回路は、ヒステリシス特性を有する。

【0038】入力電圧が上昇する際は、入力電圧が0Vからしきい電圧V2までの間は出力電圧が0Vになり、

入力電圧がしきい電圧V2を越えると出力電圧がハイレベルVHになる。入力電圧が下降する際は、入力電圧がしきい電圧V1までの間は出力電圧がハイレベルVHになり、入力電圧がしきい電圧V1から0Vまでの間は出力電圧が0Vになる。しきい電圧V1は、しきい電圧V2よりも小さい。

【0039】しきい電圧V1とV2は、しきい電圧V1とV2の間に中間レベルVI2がくるように設定される。中間レベルVI2は、シュミット回路21の入力信号302が有する中間レベルである。

【0040】図5（B）は、シュミット回路21に入力される入力電圧とそれに対応する出力電圧の例である。入力電圧が上昇し、しきい電圧V2を越えると、出力電圧は0VからハイレベルVHに変化する。その後、入力電圧が下降し、しきい電圧V1より小さくなると、出力電圧はハイレベルVHから0Vに変化する。

【0041】図3に戻り、シュミット回路21は、信号302を入力し、信号201を出力することにより、3状態の信号302を2状態の信号201に復調する。図20において、入力信号302が中間レベルVI2を越えハイレベルVH2に達すると、出力信号201はローレベルVL2からハイレベルVH2へ変化する。その後、入力信号302がハイレベルVH2から中間レベルVI2まで下がり中間レベルVI2を維持している間も、出力信号201は引き続きハイレベルVH2を維持する。

【0042】入力信号302が中間レベルVI2からローレベルVL2まで下がると、出力信号201はハイレベルVH2からローレベルVL2に変化する。以下、同様な動作を行い、信号201が生成される。

【0043】以上のようにして、物理層チップ1内の信号102は、リンク層チップ2へ信号201として伝達される。信号102と201は、信号レベルが異なるが、論理値は同じである。

【0044】図6は、従来技術による単方向信号（例えばクロック信号SCLK）の伝達回路の構成図である。信号伝達回路は、物理層チップ1からリンク層チップ2への単方向の信号伝達を行う。物理層チップ1は出力回路4を有し、リンク層チップ2は入力回路5を有する。

【0045】物理層チップ1とリンク層チップ2の間に接続される外部部品3は、双方向信号伝達回路（図3）のものと同じ構成でもよいが、以下のように簡略化することもできる。外部部品3は、リンク層チップ2の電源ラインを抵抗分割するための抵抗36及び34と、物理層チップ1とリンク層チップ2のそれぞれの入出力信号線を結ぶ抵抗42及び容量35の直列接続とを有する。

【0046】物理層チップ1の出力回路4は、リンク層チップ2へ信号を出力するためのトライステート回路12を有する。リンク層チップ2の入力回路5は、物理層チップ1から信号を入力するためのシュミット回路21を有する。つまり、単方向信号伝達回路は、双方向信号

7  
伝達回路（図3）のうち物理層チップ1内のシュミット回路11とリンク層チップ2内のトライステート回路22を取り除いた構成と同じである。

【0047】単方向信号伝達回路は、単方向のみ信号伝達が可能である点を除けば、上記の双方向信号伝達回路と同じ動作をする。

【0048】

【発明が解決しようとする課題】半導体プロセス技術の向上により、物理層チップ1及びリンク層チップ2を小型化することができる。外部部品3は、回路基盤上の個別部品により構成されるので、半導体チップ1及び2に比べサイズが比較的大きく、大きな実装面積を必要とする。また、外部部品3の部品コストは、半導体デバイスとしての素子に比べて高価である。

【0049】外部部品3の素子数を計算する。図3に示すように、1本の双方向信号線当たり6個の抵抗と2個の容量を必要とする。図2に示すように、双方向信号線は11本あるので、 $6 \text{ 個} \times 11 \text{ 本} = 66 \text{ 個}$ の抵抗と2個 $\times 11 \text{ 本} = 22 \text{ 個}$ の容量を必要とする。さらに、図6に示すように、1本の単方向信号線のために3個の抵抗と1個の容量が必要になる。外部部品3は、合計、 $66 + 3 = 69 \text{ 個}$ の抵抗と $22 + 1 = 23 \text{ 個}$ の容量を必要とする。

【0050】外部部品3の部品点数が多いと、外部部品3の実装面積が大きくなり、外部部品3を含む通信インターフェース回路501（図2）のサイズも大きくなる。外部部品3は、比較的高価であるので、通信インターフェース回路501のコストも高価になる。

【0051】本発明の目的は、安価及び小型のIEEE1394インターフェースを構成するための半導体チップを提供することである。

【0052】

【課題を解決するための手段】本発明の一観点によれば、外部から信号を入力し、入出力特性にヒステリシス特性を有するシュミット回路と、電源ラインを抵抗分割した電位を前記シュミット回路に入力するために、前記シュミット回路の入力端子と電源ラインとの間に接続される抵抗とを有するIEEE1394インターフェース用半導体チップが提供される。

【0053】電源ラインを抵抗分割した電位をシュミット回路に入力するための抵抗をIEEE1394インターフェース用半導体チップ内に設けることにより、外部部品としての抵抗を削減することができる。半導体デバイスとしての抵抗は、外部部品としての抵抗に比べサイズが小さく、安価である。したがって、この半導体チップをAC接続したIEEE1394インターフェースを構成する場合には、IEEE1394インターフェースを小型化及び安価にすることができます。

【0054】

【発明の実施の形態】図1は、本発明の第1の実施例に

よる信号伝達回路の構成図である。この信号伝達回路は、双方向信号伝達回路であり、図3の信号伝達回路に代わるものであり、図2の通信インターフェース回路501に用いられる。信号伝達回路は、物理層チップ1とリンク層2との間で双方向の信号伝達を行う。

【0055】物理層チップ1内の入出力回路4は、物理層チップ1の電源ライン13, 10を抵抗分割した電位をシュミット回路11に入力又はトライステート回路12から出力するために、シュミット回路11の入力端子と電源ライン13, 10との間に接続される抵抗51及び52を有する。スイッチ53は抵抗51を電源ラインから切り離すことができ、スイッチ54は抵抗52を電源ラインから切り離すことができる。抵抗51と52を物理層チップ1内に設けることにより、図3に示す外部部品3内の抵抗33と31を削除することができる。

【0056】同様に、リンク層チップ2内の入出力回路5は、リンク層チップ2の電源ライン23, 20を抵抗分割した電位をシュミット回路21に入力又はトライステート回路22から出力するために、シュミット回路2

21の入力端子と電源ライン23, 20との間に接続される抵抗61及び62を有する。スイッチ63は抵抗61を電源ラインから切り離すことができ、スイッチ64は抵抗62を電源ラインから切り離すことができる。抵抗61と62をリンク層チップ2内に設けることにより、図3に示す外部部品3内の抵抗36と34を削除することができる。合計、外部部品3から4個の抵抗31, 33, 34, 36を削除することができる。

【0057】外部部品3としての素子は、半導体デバイスとしての素子に比べ、サイズが大きく、コストが高い。外部部品3の部品点数を減らし、その代わりに半導体チップ1, 2内の素子を増やすことにより、通信インターフェース回路501（図2）を安価にし、小型化することができる。

【0058】なお、上記の4個の抵抗の他、容量32と35もそれぞれ物理層チップ1とリンク層チップ2内に設けることも考えられる。しかし、容量32と35は、例えば $0.001 \mu\text{F}$ の大容量であるので、半導体チップ1及び2内に設けることは技術的に困難である。

【0059】図1の回路は、図3のものと電気的回路図40は基本的に同じであるので、両者は図4に示すタイミングチャートに従い同じ動作を行う。ただし、本実施例による回路は、スイッチ53, 54, 63, 64を有する点で図3の回路と異なる。

【0060】スイッチ53, 54, 63, 64は、物理層チップ1とリンク層チップ2とがAC接続のときに抵抗51, 52, 62, 63を電源ラインに接続し、DC接続のときに抵抗51, 52, 61, 62を電源ラインから切り離す。

【0061】すなわち、AC接続のときには、アイソレーションバリア（上記の4個の抵抗及び外部部品3）を

接続する。DC接続のときには、上記の抵抗を切り離し、かつ外部部品3を除去し、物理層チップ1とリンク層チップ2を回路基盤上でダイレクトに接続する。

【0062】図7は、スイッチ53, 54, 63, 64をpチャネルMOSトランジスタで構成する例を示す。

【0063】MOSトランジスタのゲートGには、信号DIRECTが供給される。信号DIRECTは、図2に示すように半導体チップ1, 2に供給される信号であり、1のときにDC接続を示し、0のときにAC接続を示す。

【0064】AC接続のときには、信号DIRECTが0(ローレベル)になり、トランジスタがオンになって、ソースS及びドレインDが接続される。DC接続のときには、信号DIRECTが1(ハイレベル)になり、トランジスタがオフになって、ソースS及びドレインDが切断される。

【0065】トランジスタによりスイッチを構成すれば、AC接続の場合もDC接続の場合も共通の物理層チップ1及びリンク層チップ2をそれぞれ製造することができる利点を有する。

【0066】次に、図1に戻り、物理層チップ1の構成を繰り返し説明する。物理層チップ1は、入出力回路4を有し、電源13およびグランド10に接続される。入出力回路4は、リンク層チップ2へ信号を出力するためのトライステート回路12と、リンク層チップ2から信号を入力するためのシュミット回路11を有する。

【0067】トライステート回路12の出力信号線とシュミット回路11の入力信号線は、物理層チップ1の入出力信号線に接続される。当該入出力信号線と電源13の間に、抵抗51(例えば5kΩ)とスイッチ53が直列に接続される。さらに、当該入出力信号線とグランド10の間に、抵抗52(例えば5kΩ)とスイッチ54が直列に接続される。

【0068】次に、リンク層チップ2の構成を説明する。リンク層チップ2は、入出力回路5を有し、電源23およびグランド20に接続される。入出力回路5は、物理層チップ1へ信号を出力するためのトライステート回路22と、物理層チップ1から信号を入力するためのシュミット回路21を有する。

【0069】トライステート回路22の出力信号線とシュミット回路21の入力信号線は、リンク層チップ2の入出力信号線に接続される。当該入出力信号線と電源23の間に、抵抗61(例えば5kΩ)とスイッチ63が直列に接続される。さらに、当該入出力信号線とグランド20の間に、抵抗62(例えば5kΩ)とスイッチ64が直列に接続される。

【0070】外部部品3は、図3の外部部品3から抵抗31, 33, 34, 36を削除した構成と同じである。外部部品3において、例えば、容量32及び35は0.001μF、抵抗41及び42は100Ω、抵抗37は

300Ωである。

【0071】なお、物理層チップ1の電源電圧とリンク層チップ2の電源電圧が同じときには、抵抗41及び42を削除してもよい。両者の電源電圧が異なるときには、上記のように抵抗41又は42のいずれかを削除してもよい。

【0072】なお、AC接続するためのアイソレーションバリアには、容量タイプとトランスタイプの2種類がある。上記の外部部品3は、容量タイプのアイソレーションバリアを構成するためのものである。外部部品3は、トランスタイプのアイソレーションバリアのものに置き換えてもよい。

【0073】図8は、トランスタイプのアイソレーションバリアを構成するための外部部品3を示す。

【0074】外部部品3は、物理層チップ1の入出力信号線とグランド10との間に、容量32(例えば0.001μF)、抵抗41(例えば100Ω)、コイル43(例えば80μH)が直列に接続され、リンク層チップ2の入出力信号線とグランド20との間に、容量35(例えば0.001μF)、抵抗42(例えば100Ω)、コイル44(例えば80μH)が直列に接続される。抵抗45(例えば300Ω)は、コイル44に並列に接続される。物理層チップ1の電源電圧とリンク層チップ2の電源電圧が異なる場合には、上記と同様に、抵抗41と42のいずれかを除去してもよい。

【0075】図9は、本発明の第2の実施例による信号伝達回路の構成図である。この信号伝達回路は、単方向信号伝達回路であり、図6の信号伝達回路に代わるものであり、図2の通信インターフェース回路501に用いられる。信号伝達回路は、物理層チップ1からリンク層チップ2へ単方向の信号伝達を行う。

【0076】リンク層チップ2は、入力回路5を有し、電源23およびグランド20に接続される。入力回路5は、物理層チップ1から信号を入力するためのシュミット回路21を有する。シュミット回路21の入力信号線と電源23との間に、抵抗61(例えば1.8kΩ)とスイッチ63が直列に接続される。さらに、シュミット回路21の入力信号線とグランド20との間に、抵抗62(例えば1.8kΩ)とスイッチ64が直列に接続される。

【0077】外部部品3は、図6の外部部品3から抵抗34, 36を削除した構成と同じである。外部部品3において、例えば、抵抗42は100Ω、容量35は0.001μFである。

【0078】物理層チップ1は、図6の物理層チップ1と同じ構成であり、出力回路4を有し、電源13およびグランド10に接続される。出力回路4は、リンク層チップ1へ信号を出力するためのトライステート回路12を有する。

【0079】外部部品3の削減点数を計算する。図1に

示すように、1本の双方向信号線当たり4個の抵抗を削減することができる。図2に示すように、双方向信号線は11本あるので、合計、4個×11本=44個の抵抗を削減することができる。さらに、図9に示すように、1本の单方向信号線において2個の抵抗を削減することができる。外部部品3は、合計、44+2=46個の抵抗を削減することができる。

【0080】第1及び第2の実施例によれば、物理層チップ1及びリンク層チップ2に抵抗を設けることにより、外部部品3の抵抗を削除することができる。外部部品3としての素子は、半導体デバイスとしての素子に比べてサイズが大きく、コストが高いので、外部部品3内の部品点数を減らすことにより、通信インターフェース回路501(図2)を安価にし、小型化することができる。

【0081】外部部品3の部品点数が多いと、外部部品3の実装面積が大きくなり、外部部品3を含む通信インターフェース回路501(図2)のサイズも大きくなる。外部部品3は、比較的高価であるので、外部部品3の部品点数を減らすことにより、通信インターフェース回路501のコストを安価にすることができます。

【0082】また、物理層チップ1及びリンク層チップ2内の抵抗をスイッチにより切り離し可能にすることにより、AC接続の場合もDC接続の場合も共通の物理層チップ1及びリンク層チップ2をそれぞれ利用することができる利点を有する。

【0083】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

#### 【0084】

【発明の効果】以上説明したように、本発明によれば、アイソレーションバリアのための抵抗をIEEE1394インターフェース用半導体チップ内に設けることにより、外部部品としての抵抗を削減することができる。半導体デバイスとしての抵抗は、外部部品としての抵抗に比べサイズが小さく、安価である。したがって、この半導体チップを用いて、アイソレーションバリアを有する

IEEE1394インターフェースを構成する場合には、IEEE1394インターフェースを小型化及び安価にすることができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例による双方向の信号伝達回路の構成図である。

【図2】IEEE1394規格の通信ネットワークの構成を示す図である。

【図3】従来技術による双方向の信号伝達回路の構成図である。

【図4】図3の信号伝達回路の動作を説明するための信号波形図である。

【図5】図5(A)と(B)は、シュミット回路の特性を説明するための図である。

【図6】従来技術による单方向の信号伝達回路の構成図である。

【図7】スイッチの構成例を示す図である。

【図8】トランスタイルのアイソレーションバリアを構成するための外部部品の回路図である。

【図9】本発明の第2の実施例による单方向の信号伝達回路の構成図である。

#### 【符号の説明】

1 物理層半導体チップ

2 リンク層半導体チップ

3 外部部品

4, 5 入出力回路

13, 23 電源

10, 20 グランド

11, 21 シュミット回路

30 12, 22 トライステート回路

31, 33, 34, 36, 37, 38, 39, 41, 4

2, 45, 51, 52, 61, 62 抵抗

32, 35 容量

43, 44 コイル

53, 54, 63, 64 スイッチ

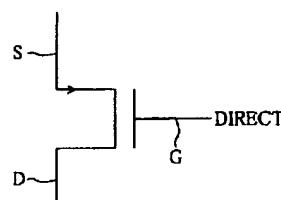
501 通信インターフェース回路

502 デバイス

503 通信ケーブル

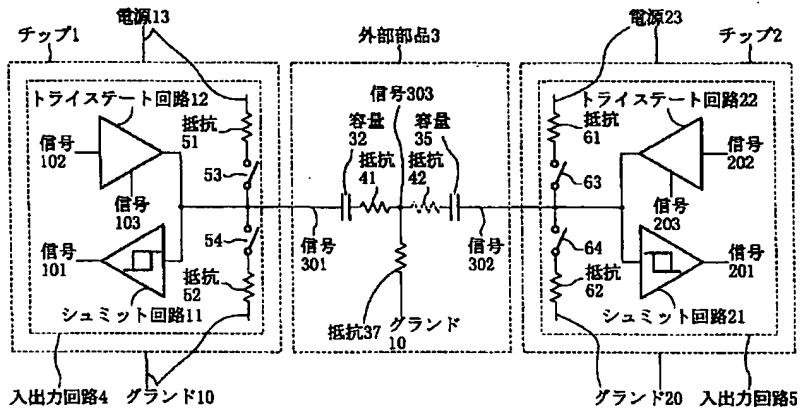
【図7】

スイッチ



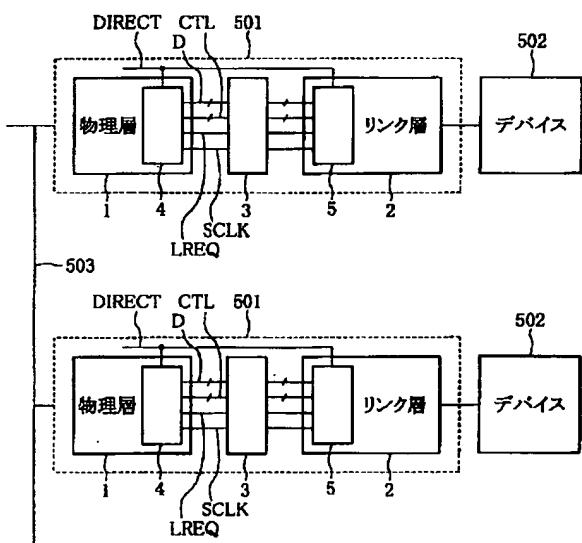
【図1】

実施例1



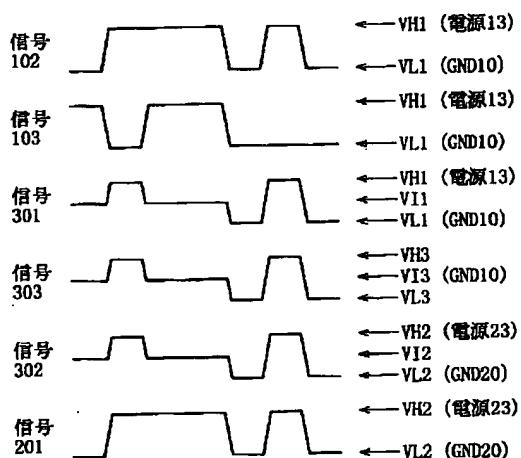
【図2】

通信ネットワーク



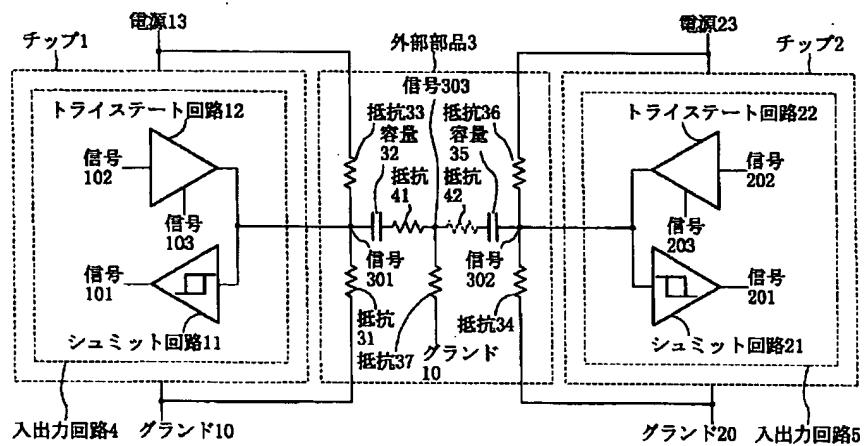
【図4】

従来例1信号波形



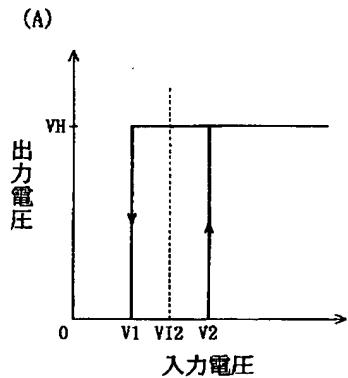
【図3】

従来例1



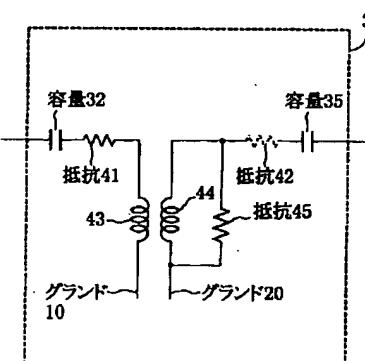
【図5】

シュミット回路の特性

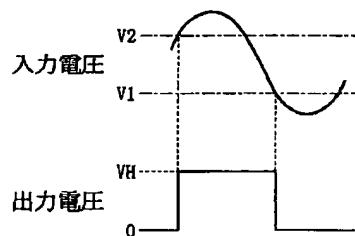


【図8】

トランジスタタイプ

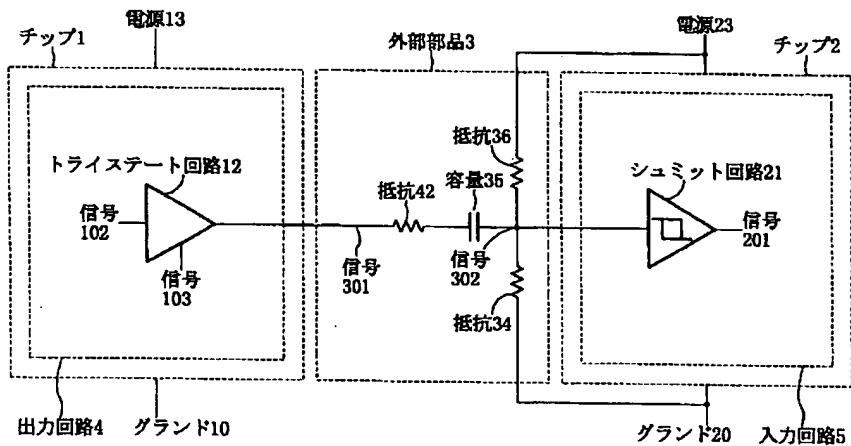


(B)



【図6】

従来例2



【図9】

実施例2

